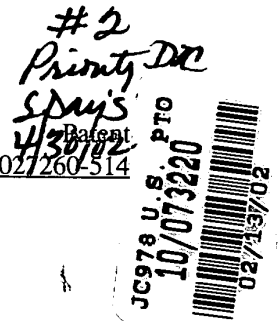


Attorney's Docket No. 027260-514



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of)
)
Minoru TAJIMA) Group Art Unit: Unassigned
)
Application No.: Unassigned) Examiner: Unassigned
)
Filed: February 13, 2002)
)
For: DC BLOCK CIRCUIT AND)
COMMUNICATION EQUIPMENT)
)
)
)
)

CLAIM FOR CONVENTION PRIORITY

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

The benefit of the filing date of the following prior foreign application in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed:

Japanese Patent Application No. 2001-382033

Filed: December 14, 2001

In support of this claim, enclosed is a certified copy of said prior foreign application. Said prior foreign application was referred to in the oath or declaration. Acknowledgment of receipt of the certified copy is requested.

Respectfully submitted,

BURNS, DOANE, SWECKER & MATHIS, L.L.P.

By:

Platon N. Mandros
Registration No. 22,124

Date: February 13, 2002

P.O. Box 1404
Alexandria, Virginia 22313-1404
(703) 836-6620

PATENT OFFICE
JAPANESE GOVERNMENT

#2
JC978 U.S. PRO
10/073220
02/13/02

This is to certify that the annexed is a true copy of
the following application as filed with this Office.

Date of Application : December 14, 2001

Application Number : Japanese Patent Application No. 2001-382033

Applicant(s) : MITSUBISHI DENKI KABUSHIKI KAISHA

This 18th day of January, 2002

Commissioner,
Japan Patent Office Kozo OIKAWA

Certificate No. 2001-3116092

日 本 国 特 許 庁
JAPAN PATENT OFFICE

JC978 U.S. PTO
10/073220
02/13/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application: 2001年12月14日

出 願 番 号

Application Number: 特願2001-382033

[ST.10/C]:

[JP2001-382033]

出 願 人

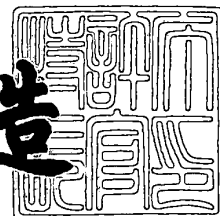
Applicant(s): 三菱電機株式会社



2002年 1月18日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3116092

【書類名】 特許願

【整理番号】 534371JP01

【提出日】 平成13年12月14日

【あて先】 特許庁長官 殿

【国際特許分類】 H03H 3/00

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 田島 実

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100066474

【弁理士】

【氏名又は名称】 田澤 博昭

【選任した代理人】

【識別番号】 100088605

【弁理士】

【氏名又は名称】 加藤 公延

【手数料の表示】

【予納台帳番号】 020640

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 DCブロック回路および通信装置

【特許請求の範囲】

【請求項1】 誘電体基板の一方の面に実装され、電気信号を通過する線路と、

上記線路上に設けられ、上記線路で形成されたインターデジタルキャパシタと

上記インターデジタルキャパシタを上記誘電体基板とともに挟むように設けられ、上記インターデジタルキャパシタと並列になるように上記線路に接続されたチップキャパシタとを備えることを特徴とするDCブロック回路。

【請求項2】 線路は、電気信号を入出力するコネクタを両端にそれぞれ備えることを特徴とする請求項1記載のDCブロック回路。

【請求項3】 線路の幅と、インターデジタルキャパシタの幅と、チップキャパシタの幅とを略同一に形成することを特徴とする請求項1記載のDCブロック回路。

【請求項4】 チップキャパシタの幅を線路の幅よりも大きく形成することを特徴とする請求項1記載のDCブロック回路。

【請求項5】 インターデジタルキャパシタの幅を線路の幅よりも大きく形成することを特徴とする請求項1記載のDCブロック回路。

【請求項6】 インターデジタルキャパシタは、絶縁体のレジスト膜によってコーティングされることを特徴とする請求項1記載のDCブロック回路。

【請求項7】 誘電体基板の他方の面に地導体を備えてマイクロストリップ線路を構成することを特徴とする請求項1から請求項6のうちのいずれか1項記載のDCブロック回路。

【請求項8】 誘電体基板の一方の面に地導体を備えてコプレーナ線路を構成することを特徴とする請求項1から請求項6のうちのいずれか1項記載のDCブロック回路。

【請求項9】 誘電体基板の一方の面および他方の面に地導体をそれぞれ備えてグラウンデッドコプレーナ線路を構成することを特徴とする請求項1から請

求項 6 のうちのいずれか 1 項記載の DC ブロック回路。

【請求項 1 0】 請求項 1 から請求項 9 のうちいずれか 1 項記載の DC ブロック回路と、

この DC ブロック回路の一端に設けられた第 1 の電気回路と、

上記 DC ブロック回路の他端に設けられた第 2 の回路とを有し、

この第 2 の電気回路は上記第 1 の電気回路とは異なるバイアス電源電圧を有することを特徴とする通信装置。

【請求項 1 1】 ドライバ駆動用の電気信号を DC ブロック回路へ出力する多重回路 IC を第 1 の電気回路として備えるとともに、

上記 DC ブロック回路から入力される上記電気信号にしたがって、連続波光信号を強度変調光信号として出力するドライバを第 2 の電気回路として備えることを特徴とする請求項 1 0 記載の通信装置。

【請求項 1 2】 強度変調光信号を受光して振幅変調電気信号に光－電気変換するプリアンプを第 1 の電気回路として備えるとともに、

振幅変調電気信号を分離処理するデマルチプレクサを第 2 の電気回路として備えることを特徴とする請求項 1 0 記載の通信装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

この発明は、異なるバイアス電源電圧をそれぞれ有する 2 つの電気回路の間を接続し、一方の電気回路から他方の電気回路へのバイアス電源電圧の干渉を防止する DC ブロック回路に係るものであり、またこの発明は、DC ブロック回路を適用した通信装置に関するものである。

【 0 0 0 2 】

【従来の技術】

光送受信器などの通信装置内で使われる多重回路や分離回路、ドライバ、プリアンプは一般に IC 化されている。これらの IC 回路は異なるプロセスで作られることがある。例えば 4 0 G b i t / s 光送受信器の場合、多重回路 IC や分離回路 IC のように集積度の高いものは消費電力や歩留りの点で有利な S i G e プ

ロセスが採用されることが多く、またドライバICやプリアンプICのように高速化を優先するものはInPまたはGaAsプロセスが多い。

【0003】

これらのIC回路はバイアス電源電圧も異なることが通常であり、IC回路同士の接続においてはバイアス電源電圧の干渉を避けるため、DC成分を遮断するDCブロック回路を接続したIC回路間に設ける必要が生じる。DCブロック回路には、DC成分を遮断し、かつ所定の伝送ビットレートを有する高周波信号を低通過損失で通過させることが要求される。

【0004】

図8は従来のDCブロック回路の構成例を示す図であり、図8(a)、図8(c)はそれぞれ上面図、図8(b)は側面図である。

図8において、101は誘電体基板、102は誘電体基板101の一方の面に設けられた地導体、103は誘電体基板101の他方の面に設けられた線路である。図8のDCブロック回路はマイクロストリップ線路を構成している。104は線路103に装荷されたチップキャパシタである。チップキャパシタ104を取り除いたときのDCブロック回路を上面から見ると図8(c)のようになり、ギャップ105が設けられている。

【0005】

図8では、線路103の信号ラインにギャップ105を設け、このギャップ105の上からチップキャパシタ104をハンダ付等で装荷することにより、DCブロック回路を簡単に構成している。チップキャパシタ104は、低周波領域から低い通過損失で信号を通過させるため、線路103への装荷に支障の出ない範囲で容量の大きなものが好ましく、0.1 μ F程度の容量を有するものが選ばれることが多い。

【0006】

もしチップキャパシタ104が純粹に容量成分しか有していなければ、信号の周波数が高くなるほどチップキャパシタ104のインピーダンスも小さくなり、高周波信号の通過損失も小さくなる場所である。しかしながら、実際のチップキャパシタ104は容量成分と直列に誘導成分を必ず含んでいる。そのため、図

8のDCブロック回路は、チップキャパシタ104の自己共振周波数を超える周波数帯では信号周波数が高くなるほど誘導成分によるインピーダンスも増大し、通過損失が大きくなってしまう。

【0007】

それでも、2.5 Gbit/sまたは10 Gbit/s程度までの伝送ビットレートであれば、図8のDCブロック回路でも実用的な通過損失にとどめることが可能であった。しかしながら、40 Gbit/sの伝送ビットレートになると、およそ4 MHz～60 GHz程度の周波数帯域において低い通過損失の伝送回路が必要となり、図8のDCブロック回路では通過損失を十分小さくすることができなかった。

【0008】

また、一般的に容量の大きなキャパシタほど高周波信号に対する通過損失が大きくなってしまう傾向にあるため、キャパシタの容量を小さくして高周波信号に対する通過損失を低減しようとする、低周波信号に対する通過損失が増大してしまうという問題が生じる。

【0009】

この問題の解決策として、低周波信号を低い通過損失で通過させる大容量のキャパシタと、高周波信号を低い通過損失で通過させる小容量のキャパシタとを線路上に並列配置する手法が考えられる。

【0010】

図9は大容量キャパシタと小容量キャパシタとを並列配置したDCブロック回路の構成バリエーションを示す図であり、図9(a)、図9(b)ともに上面図である。図8と同一符号は同一または相当する構成を示している。図9(a)、図9(b)において、106は線路103で形成されたインターデジタルキャパシタである。

【0011】

図9(a)では、線路103からインターデジタルキャパシタ106を分岐して誘電体基板101上に配置しており、また図9(b)では、図8(c)のギャップ105の部分にインターデジタルキャパシタ106を形成し、線路103か

らチップキャパシタ104を分岐して誘電体基板101上に配置している。このように、図9(a), 図9(b)いずれの場合も、インターデジタルキャパシタ106はチップキャパシタ104に対して並列配置された構成となっている。

【0012】

チップキャパシタ104と比較すると、インターデジタルキャパシタ106は、一般的に容量は小さいが誘導成分も十分小さいため、高周波信号を通過させるのに適している。つまり、チップキャパシタ104のみを使って構成した図8のDCブロック回路と比較すると、図9のDCブロック回路は広帯域化を図ることができる。

【0013】

しかしながら、これらのDCブロック回路ではチップキャパシタ104とインターデジタルキャパシタ106とを図9のように分岐して誘電体基板101上に配置しているため、線路103の分岐点で特性インピーダンスが乱れてしまう。分岐点での特性インピーダンスの乱れを抑制するためには、分岐した線路107の幅を充分小さくする必要があり、そのため図9(a)では高周波信号の反射が大きくなってしまい(通過損失も大)、一方図9(b)の場合には低周波信号の反射が大きくなってしまう(通過損失も大)。

【0014】

分岐後の線路幅を調整することで分岐点の特性インピーダンス整合を図り、かつ高周波信号と低周波信号の通過損失のバランスをとることは可能であるが、分岐点で周波数成分を分離することはできないので、結局高周波信号と低周波信号の通過損失をともに小さくすることは困難である。また、チップキャパシタで発生した反射がもう一方の分岐線路に流れ込み干渉波となるため、高周波信号の波形劣化が生じる。さらに分岐線路があることで、磁界H(時間因子を無視し、同位相成分のみを図示)の分布が図9(a), 図9(b)のように乱れてしまうため、線路からの不要輻射が発生しやすく、電子機器内における電磁干渉につながるという課題もある。

【0015】

【発明が解決しようとする課題】

従来のDCブロック回路は以上のように構成されているので、反射特性と通過損失特性とをともに広帯域に渡って良好にすることができないという課題があった。

【 0 0 1 6 】

また、従来の通信装置は、異なるバイアス電源電圧を持った複数の電気回路で構成されると、高速の伝送ビットレートに対応できないという課題があった。

【 0 0 1 7 】

この発明は上記のような課題を解決するためになされたもので、反射特性と通過損失特性とをともに広帯域に渡って良好にすることが可能なDCブロック回路を提供することを目的とする。

【 0 0 1 8 】

また、この発明は、異なるバイアス電源電圧を持った複数の電気回路で構成された場合にも、高速の伝送ビットレートに対応可能な通信装置を構成することを目的とする。

【 0 0 1 9 】

【課題を解決するための手段】

この発明に係るDCブロック回路は、誘電体基板の一方の面に実装され、電気信号を通過する線路と、線路上に設けられ、線路で形成されたインターデジタルキャパシタと、インターデジタルキャパシタを誘電体基板とともに挟むように設けられ、インターデジタルキャパシタと並列になるように線路に接続されたチップキャパシタとを備えるようにしたものである。

【 0 0 2 0 】

この発明に係るDCブロック回路は、電気信号を入出力するコネクタを線路が両端にそれぞれ備えるようにしたものである。

【 0 0 2 1 】

この発明に係るDCブロック回路は、線路の幅と、インターデジタルキャパシタの幅と、チップキャパシタの幅とを略同一に形成するようにしたものである。

【 0 0 2 2 】

この発明に係るDCブロック回路は、チップキャパシタの幅を線路の幅よりも

大きく形成するようにしたものである。

【0023】

この発明に係るDCブロック回路は、インターデジタルキャパシタの幅を線路の幅よりも大きく形成するようにしたものである。

【0024】

この発明に係るDCブロック回路は、絶縁体のレジスト膜によってインターデジタルキャパシタがコーティングされるようにしたものである。

【0025】

この発明に係るDCブロック回路は、誘電体基板の他方の面に地導体を備えてマイクロストリップ線路を構成するようにしたものである。

【0026】

この発明に係るDCブロック回路は、誘電体基板の一方の面に地導体を備えてコプレーナ線路を構成するようにしたものである。

【0027】

この発明に係るDCブロック回路は、誘電体基板の一方の面および他方の面に地導体をそれぞれ備えてグラウンデッドコプレーナ線路を構成するようにしたものである。

【0028】

この発明に係る通信装置は、請求項1から請求項9のうちいずれか1項記載のDCブロック回路と、このDCブロック回路の一端に設けられた第1の電気回路と、DCブロック回路の他端に設けられた第2の回路とを有し、この第2の電気回路は第1の電気回路とは異なるバイアス電源電圧を有するようにしたものである。

【0029】

この発明に係る通信装置は、ドライバ駆動用の電気信号をDCブロック回路へ出力する多重回路ICを第1の電気回路として備えるとともに、DCブロック回路から入力される電気信号にしたがって、連続波光信号を強度変調光信号として出力するドライバを第2の電気回路として備えるようにしたものである。

【0030】

この発明に係る通信装置は、強度変調光信号を受光して振幅変調電気信号に光-電気変換するプリアンプを第1の電気回路として備えるとともに、振幅変調電気信号を分離処理するデマルチプレクサを第2の電気回路として備えるようにしたものである。

【0031】

【発明の実施の形態】

以下、この発明の実施の一形態を説明する。

実施の形態1.

図1はこの発明の実施の形態1によるDCブロック回路の構成例を示す図であり、図1(a)、図1(c)はそれぞれ上面図、図1(b)は側面図である。

図1において、1は誘電体基板、2は誘電体基板1の一方の面に設けられた地導体、3は誘電体基板1の他方の面に設けられた線路である。図1のDCブロック回路はマイクロストリップ線路を構成している。4は線路3に装荷されたチップキャパシタ、6はインターデジタルキャパシタである。チップキャパシタ4を取り除いたときのDCブロック回路を上面から見ると図1(c)のようになり、インターデジタルキャパシタ6を誘電体基板1とともに挟むように、チップキャパシタ4が設けられている。

【0032】

図1に示すように、線路3で形成したインターデジタルキャパシタ6の真上にチップキャパシタ4を並列に装荷して分岐線路をなくすることができるため、線路上の特性インピーダンスの乱れは抑制され、高周波信号と低周波信号とを低反射・低通過損失で通過させるDCブロック回路を実現することができる。特に線路3の幅と、インターデジタルキャパシタ6の幅と、チップキャパシタ4の幅とを略同一に形成することで、磁界H（時間因子を無視し、同位相成分のみを図示）の分布（すなわち電磁界分布）は図1(c)のように乱れを抑制できるため、反射波や不要輻射の発生を最小限に抑えることができる。

【0033】

従来のDCブロック回路と比較すると、インターデジタルキャパシタ6で得られる容量に制限が生じるが、以下に実現性を検証する。

図2はインターデジタルキャパシタ6の概観を示す図である。電極（フィンガー）Fを有するインターデジタルキャパシタ6の容量Cは、次の式（1）で求められる。

【0034】

【数1】

$$C = (n-1)C_0L \quad (1)$$

ただし、以下の式（2）～（4）を満たすものとする。

【0035】

【数2】

$$C_0 = \epsilon_0(1 + \epsilon_r) \frac{K(k)}{K(k')} \quad (2)$$

【0036】

【数3】

$$k = \tan^2 \left(\frac{\pi}{4} \frac{W}{W+S} \right) \quad (3)$$

$$k' = \sqrt{1-k^2} \quad (4)$$

【0037】

ここで、電極Fの厚さを0としており、nは電極Fの数、Lは電極Fの長さ、Wは電極Fの幅、Sは電極F間の間隔、 ϵ_0 は真空の誘電率（ $\approx 8.854 \times 10^{-12} \text{ F/m}$ ）、 ϵ_r は誘電体基板1の比誘電率であり、K(k)は完全楕円積分である。また式において誤差3%以内で下記の近似式が成立する。

【0038】

【数 4】

$$\frac{K(k)}{K(k')} = \begin{cases} \pi / \ln \left(2 \frac{1 + \sqrt{k'}}{1 - \sqrt{k'}} \right) & 0 \leq k^2 \leq 0.5 \\ \frac{1}{\pi} \ln \left(2 \frac{1 + \sqrt{k}}{1 - \sqrt{k}} \right) & 0.5 \leq k^2 \leq 1 \end{cases} \quad (5)$$

【0039】

ここで計算例として、厚さ0.5mmのアルミナ基板 ($\epsilon_r = 9$ とする)において、特性インピーダンスが50Ωである線路3上に、インターデジタルキャパシタ6を形成した場合の容量を求める。線路3の特性インピーダンスが50Ωとなる線路幅はほぼ0.5mmであり、 $L = 1\text{mm}$ 、 $W = S = 0.01\text{mm}$ とすると $n = 26$ となり、式(1)～(5)に代入して計算すると $C \approx 1.1\text{pF}$ と求まる。

【0040】

この容量による抵抗は、例えば40GHzでは3.6Ω、60GHzでは2.4Ωとなり十分小さい値であるので、伝送ビットレートが40Gbit/sのような高速の光送受信器の伝送回路においては、高周波成分の通過損失を低減するためにインターデジタルキャパシタの併用が有用であることが分かる。

【0041】

なおこの計算例では電極の厚さを0としているが、実際にはある程度の厚さがあり、容量が計算値よりも大きくなるので、高周波成分に対する抵抗はさらに小さくすると考えて良い。またインターデジタルキャパシタの上に装荷するチップキャパシタは、その幅が線路と同程度のものを選べば、広帯域にわたり反射係数を十分小さくすることが可能である。

【0042】

続いて、この実施の形態1によるDCブロック回路を用いた通信装置の構成の一例について説明する。

図 3 はこの発明の実施の形態 1 による通信装置の構成例を示す図であり、図 1 の DC ブロック回路を用いて構成した 4 0 G b i t / s 光送信装置を表している。

【 0 0 4 3 】

図 3 において、1 0 は連続波の光信号を出力する LD (レーザダイオード)、2 0 は例えば 4 0 G b i t / s パルス波の差動電気信号を出力する多重回路 IC パッケージである。この多重回路 IC パッケージ 2 0 には、不図示の多重回路 IC (第 1 の電気回路) が内包される。3 0 は LD 1 0 からの光信号を例えば 4 0 G b i t / s などの強度変調光信号に変調するドライバ内蔵 EA 変調器である。このドライバ内蔵 EA 変調器 3 0 には、不図示のドライバ (第 2 の電気回路) が内包される。4 0 は図 1 に示した DC ブロック回路、5 0 はドライバ内蔵 EA 変調器 3 0、多重回路 IC パッケージ 2 0 と DC ブロック回路 4 0 とを接続するワイヤリボンなどの接続部である。なお、ドライバ内蔵 EA 変調器 3 0 は、内部に収納されたドライバと外部とを電氣的に導通するフィードスルー 5 0 a を有する。同様に、多重回路 IC パッケージ 2 0 も、内部に収納された多重回路 IC と外部とを電氣的に導通するフィードスルー 5 0 b を有する。DC ブロック回路 4 0 を成す誘電体基板 1 は、両端において、フィードスルー 5 0 a、5 0 b とそれぞれ接続される (接続部 5 0)。その結果、多重回路 IC とドライバとは DC ブロック回路 4 0 によって接続される。ここでは、DC ブロック回路 4 0 をなす誘電体基板 1 の裏面に地導体 2 を備えた差動線路を想定しており、多重回路 IC パッケージ 2 0 とドライバ内蔵 EA 変調器 3 0 との間の 2 本の信号線にインターデジタルキャパシタ 6 とチップキャパシタ 4 とを併設することで構成している。

【 0 0 4 4 】

次に動作について説明する。

LD 1 0 から出力された光信号は、ドライバ内蔵 EA 変調器 3 0 へと入力される。一方、多重回路 IC パッケージ 2 0 は、高速の差動電気信号を出力しており、DC ブロック回路 4 0 を介して差動電気信号をドライバ内蔵 EA 変調器 3 0 へ与え、ドライバ内蔵 EA 変調器 3 0 を駆動している。ドライバ内蔵 EA 変調器 3 0 は、差動電気信号にしたがって光信号を変調し、高速の強度変調光信号として

出力する。

【0045】

ドライバ内蔵EA変調器30内部のドライバと多重回路ICパッケージ20内部の多重回路ICとは、例えば前者がInP, GaAs, 後者がSiGeなどのように、そのプロセスの違いによってバイアス電源電圧に差が生じている。これらの異なるバイアス電源電圧が互いに他へ流入しないように、ドライバ内蔵EA変調器30と多重回路ICパッケージ20との間にDCブロック回路40を設けてDC成分を遮断している。多重回路ICパッケージ20からの差動電気信号はDCブロック回路40を介してドライバ内蔵EA変調器30へ与えられている。前述したように、この実施の形態1によるDCブロック回路40は、低周波から高周波まで良好な反射特性・通過損失特性を有しているので、40Gbit/sという広帯域の差動電気信号に充分対応することができる。

【0046】

なお、図3では、ドライバ内蔵EA変調器30、多重回路ICパッケージ20とDCブロック回路40とを接続部50によって接続して使用しているが、この発明のDCブロック回路および通信装置はこれに限定されるものではない。例えば、約20GHzまで対応するSMAコネクタ（登録商標）や、約40GHzまで対応するKコネクタ（登録商標）、約65GHzまで対応するVコネクタ（登録商標）などの高周波用のコネクタをDCブロック回路40の線路3の入力・出力両端にそれぞれ実装して使用することも可能である。高周波コネクタをDCブロック回路40に実装することで、同一の高周波コネクタを実装した任意の第1の電気回路、第2の電気回路と簡単に接続できるようになり、DCブロック回路40の汎用性を高くすることが可能になる。

【0047】

また、図3では、第1の電気回路として多重回路ICパッケージ20内部の多重回路IC、第2の電気回路としてドライバ内蔵EA変調器30内部のドライバを用いているが、DCブロック回路40を介して接続される第1の電気回路、第2の電気回路はこれらに限定されるものではない。例えば、高速の強度変調光信号を受光して高速の振幅変調電気信号に変換するプリアンプ内蔵PD（フォトダ

イオード)と、振幅変調電気信号を分離処理するDMUX(デマルチプレクサ)との間をDCブロック回路40で接続した光受信器としての通信装置などのように、バイアス電源電圧に違いを有する2種類の電気回路であれば良い。ここで第1の電気回路と第2の電気回路との他の接続例も以下(A)~(C)に挙げておく。

【0048】

(A) LDまたはPDなどの光素子と、この光素子用のプリアンプまたはドライバとの間をDCブロック回路40で接続したLD/PDモジュールとしての通信装置。

(B) LDまたはPDなどの光素子と、この光素子用のプリアンプまたはドライバとをともに備えたLD/PDモジュール(上記(A)のLD/PDモジュールも含む)と、MUX(マルチプレクサ)、DMUXなどのIC回路との間をDCブロック回路40で接続した光送受信器としての通信装置。

(C) LDまたはPDなどの光素子と、この光素子用のプリアンプまたはドライバとをともに備えたLD/PDモジュール(上記(A)のLD/PDモジュールも含む)同士の間をDCブロック回路40で接続した光送/受信器としての通信装置。

【0049】

さらに、以上の説明では、図1に示したDCブロック回路40を用いているが、この実施の形態1の通信装置はこれに限定されるものではなく、後述する実施の形態2~5のDCブロック回路を適用することももちろん可能である。

【0050】

以上のように、この実施の形態1によれば、誘電体基板1の一方の面に実装され、電気信号を通過する線路3と、線路3上に設けられ、線路3で形成されたインターデジタルキャパシタ6と、インターデジタルキャパシタ6を誘電体基板1とともに挟むように設けられ、インターデジタルキャパシタ6と並列になるように線路3に接続されたチップキャパシタ4とを備えるようにしたので、反射特性と通過損失特性とをともに広帯域に渡って良好にすることができるという効果が得られる。

【0051】

また、この実施の形態1によれば、線路3は、電気信号の入力端側および出力端側に電気信号を入出力する高周波用のコネクタをそれぞれ備えるようにしたので、汎用性の高いDCブロック回路を提供できるという効果が得られる。

【0052】

さらに、この実施の形態1によれば、誘電体基板1の他方の面に地導体2を備えてマイクロストリップ線路を構成するようにしたので、反射特性と通過損失特性とをともに広帯域に渡って良好にすることができるという効果が得られる。

【0053】

さらに、この実施の形態1によれば、線路3の幅と、インターデジタルキャパシタ6の幅と、チップキャパシタ4の幅とを略同一に形成するようにしたので、特性インピーダンスの乱れを低く抑制することができ、反射特性と通過損失特性とをともに広帯域に渡って良好にすることができるという効果が得られる。

【0054】

さらに、この実施の形態1によれば、DCブロック回路40と、第1のバイアス電源電圧を有する第1の電気回路と、第1のバイアス電源電圧と異なる第2のバイアス電源電圧を有し、第1の電気回路とDCブロック回路40を介して電気的に接続される第2の電気回路とを備えるようにしたので、異なるバイアス電源電圧を持った複数の電気回路で構成して、高速の伝送ビットレートに対応できるという効果が得られる。

【0055】

さらに、この実施の形態1によれば、ドライブ用の電気信号をDCブロック回路40へ出力する多重回路ICを第1の電気回路として備えるとともに、DCブロック回路40から入力される電気信号にしたがって、LD10からの連続波光信号を強度変調光信号として出力するドライバを第2の電気回路として備えるようにしたので、異なるバイアス電源電圧を持った複数の電気回路で構成して、高速の伝送ビットレートに対応できるという効果が得られる。

なお、この実施の形態1では、EA変調器内部にドライバが内包される場合について説明した。しかし、この発明はこれに限定されるものではなく、EA変調

器の外部にドライバが存在しても良い。

【0056】

さらに、この実施の形態1によれば、強度変調光信号を受光して振幅変調電気信号に光-電気変換するプリアンプ内蔵フォトダイオードを第1の電気回路として備えるとともに、振幅変調電気信号を分離処理するデマルチプレクサを第2の電気回路として備えるようにしたので、異なるバイアス電源電圧を持った複数の電気回路で構成して、高速の伝送ビットレートに対応できるという効果が得られる。

【0057】

実施の形態2.

チップキャパシタと同程度の幅のインターデジタルキャパシタではその容量が不足する場合、インターデジタルキャパシタの電極幅を細くして電極数を増加させ、容量を増やすことが考えられる。しかしながら、エッチング精度や短絡の危険性等の理由により電極幅の加工には限界があるため、電極幅の細さにも限界が生じる。この実施の形態2では、電極幅を細くせずに十分な容量を確保する手法について説明する。

【0058】

図4はこの発明の実施の形態2によるDCブロック回路の構成例を示す図であり、図4(a)、図4(c)はそれぞれ上面図、図4(b)は側面図である。図1と同一符号は同一または相当する構成を示している。図4において、6Wはインターデジタルキャパシタであり、チップキャパシタ4よりも幅が広く形成されている。

【0059】

使用するチップキャパシタ4が小さく、チップキャパシタ4と同程度の幅のインターデジタルキャパシタ6(図1)では容量が不十分な場合には、図6(a)、図6(c)に示すように、チップキャパシタ4よりも幅広のインターデジタルキャパシタ6WをDCブロック回路に用いることも有効である。この場合、インターデジタルキャパシタ6Wの幅が大きくなるにつれて反射特性が悪化していくが、線路に分岐を持たせた従来の構成と比べると、反射を小さくすることができ

る。

【0060】

なお、インターデジタルキャパシタ6Wの幅の広げ方は特に限定されるものではないが、信号が伝送する方向での線路3を中心にして左右対称的に広げるようにすることで、前述した電磁界分布の乱れが抑制可能になり、反射特性・通過損失特性の劣化を低く抑えることができる。また、チップキャパシタ4の幅を線路3の幅より大きくしても良く、チップキャパシタ4の容量を十分に持たせることができる。

【0061】

以上のように、この実施の形態2によれば、チップキャパシタ4よりも幅広のインターデジタルキャパシタ6Wを備えるようにしたので、従来と比較して反射特性を改善しつつ、インターデジタルキャパシタ6Wの容量を十分に持たせることができるという効果が得られる。

【0062】

また、この実施の形態2によれば、チップキャパシタ4の幅を線路3の幅よりも大きく形成するようにしたので、従来と比較して反射特性を改善しつつ、チップキャパシタ4の容量を十分に持たせることができるという効果が得られる。

【0063】

実施の形態3.

図5はこの発明の実施の形態3によるDCブロック回路の構成例を示す図であり、図5(a)、図5(c)はそれぞれ上面図、図5(b)は側面図である。図1と同一符号は同一または相当する構成を示している。図5において、7は絶縁体のレジスト膜であり、インターデジタルキャパシタ6の上に形成されている。

【0064】

インターデジタルキャパシタ6上にチップキャパシタ4をハンダ付等で接着する場合、ハンダが広がることによりインターデジタルキャパシタ6の隣り合う電極が短絡され、DC成分を通過させてしまう可能性がある。この対策として、図5(c)に示すように絶縁体のレジスト膜7をインターデジタルキャパシタ6の上に形成して、インターデジタルキャパシタ6をコーティングしている。レジス

ト膜7の厚さはチップキャパシタ4の接着に支障が出ない範囲で薄くしておけば良い。もちろん、この実施の形態3はインターデジタルキャパシタ6に限定されず、インターデジタルキャパシタ6Wに適用しても良い。

【0065】

以上のように、この実施の形態3によれば、インターデジタルキャパシタ6上に絶縁体のレジスト膜7をコーティングするようにしたので、インターデジタルキャパシタ6の電極がハンダ付等によって短絡されるのを防止し、DC成分の通過を回避できるという効果が得られる。

【0066】

実施の形態4.

図6はこの発明の実施の形態4によるDCブロック回路の構成例を示す図であり、図6(a)、図6(c)はそれぞれ上面図、図6(b)は側面図である。図1と同一符号は同一または相当する構成を示している。図6において、8は誘電体基板1の一方の面に設けられた地導体である。図6のDCブロック回路はコプレーナ線路を構成している。

【0067】

この発明のDCブロック回路は、実施の形態1の構成に限定されず、図6に示すコプレーナ線路において構成した場合も実施の形態1と同様の効果がある。

【0068】

以上のように、この実施の形態4によれば、誘電体基板1の一方の面に地導体8を備えてコプレーナ線路を構成するようにしたので、反射特性と通過損失特性とをともに広帯域に渡って良好にすることができるという効果が得られる。

【0069】

実施の形態5.

図7はこの発明の実施の形態5によるDCブロック回路の構成例を示す図であり、図7(a)、図7(c)はそれぞれ上面図、図7(b)は側面図である。図1、図6と同一符号は同一または相当する構成を示している。図7のDCブロック回路はグラウンデッドコプレーナ線路を構成している。

【0070】

この発明のDCブロック回路は、実施の形態1や実施の形態4の構成に限定されず、図7に示すように、誘電体基板1の他方の面と一方の面とに地導体2, 8をそれぞれ設けたグラウンデッドコプレーナ線路において構成した場合も実施の形態1と同様の効果がある。

【0071】

以上のように、この実施の形態5によれば、誘電体基板1の他方の面および一方の面に地導体2, 8をそれぞれ備えてグラウンデッドコプレーナ線路を構成するようにしたので、反射特性と通過損失特性とをともに広帯域に渡って良好にすることができるという効果が得られる。

【0072】

【発明の効果】

以上のように、この発明によれば、反射特性と通過損失特性とをともに広帯域に渡って良好にすることができるという効果が得られる。

【0073】

この発明によれば、異なるバイアス電源電圧を持った複数の電気回路で構成した場合にも、高速の伝送ビットレートに対応できるという効果が得られる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1によるDCブロック回路の構成例を示す図である。

【図2】 インターデジタルキャパシタの概観を示す図である。

【図3】 この発明の実施の形態1による通信装置の構成例を示す図である。

【図4】 この発明の実施の形態2によるDCブロック回路の構成例を示す図である。

【図5】 この発明の実施の形態3によるDCブロック回路の構成例を示す図である。

【図6】 この発明の実施の形態4によるDCブロック回路の構成例を示す図である。

【図7】 この発明の実施の形態5によるDCブロック回路の構成例を示す

図である。

【図 8】 従来の DC ブロック回路の構成例を示す図である。

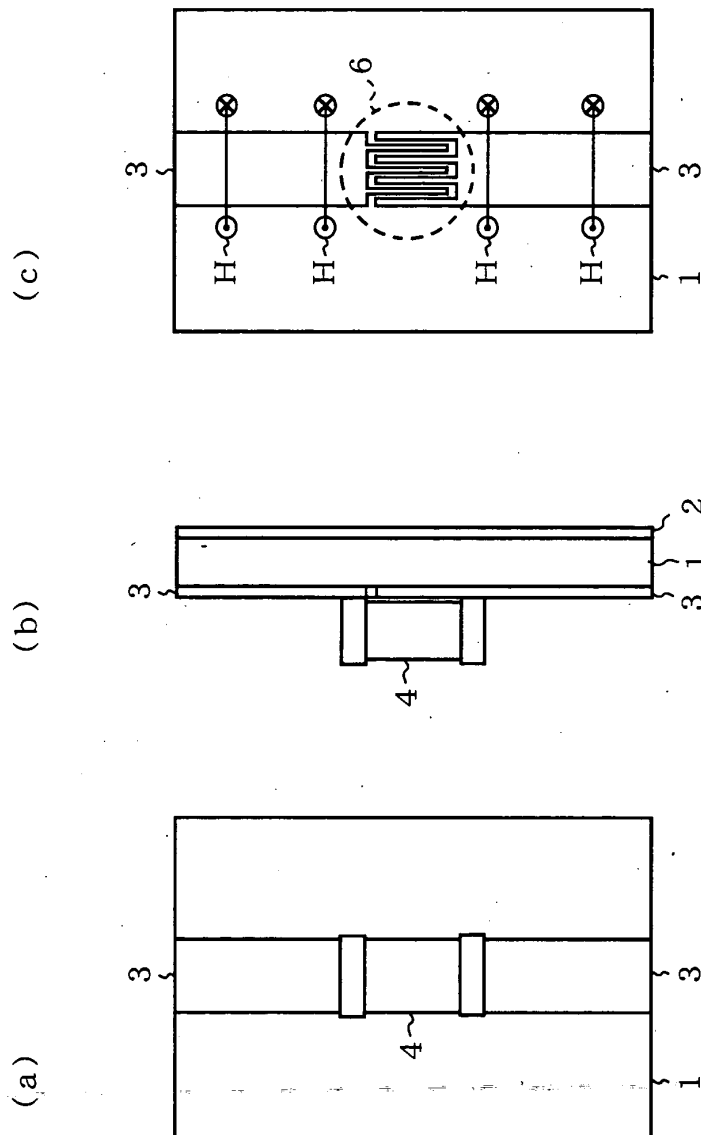
【図 9】 大容量キャパシタと小容量キャパシタとを並列配置した DC ブロック回路の構成バリエーションを示す図である。

【符号の説明】

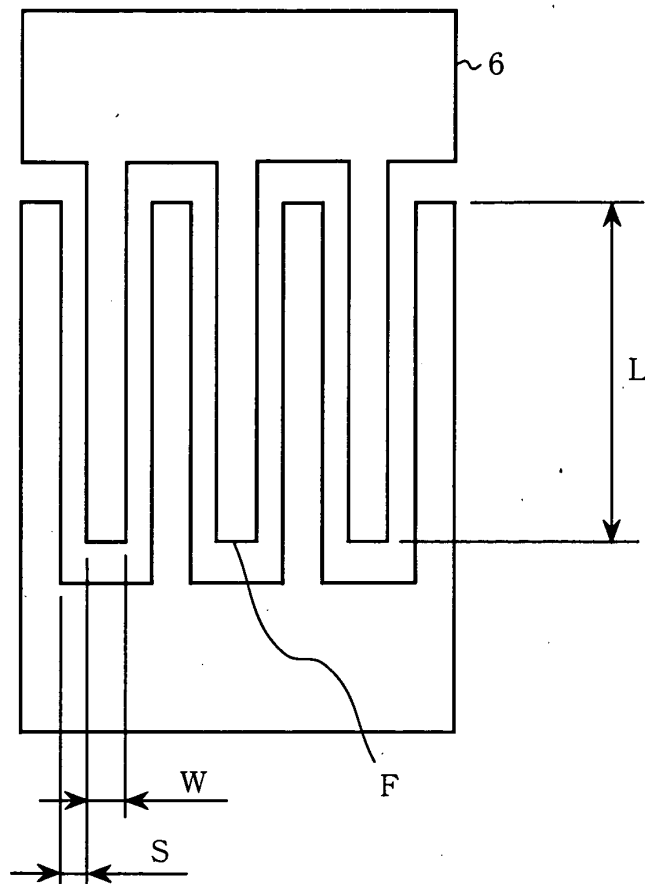
1 誘電体基板、2, 8 地導体、3 線路、4 チップキャパシタ、6, 6 W インターデジタルキャパシタ、7 レジスト膜、10 LD (レーザダイオード)、20 多重回路 IC パッケージ (第 1 の電気回路)、30 ドライバ内蔵 EA 変調器 (第 2 の電気回路)、40 DC ブロック回路、50 接続部、H 磁界。

【書類名】 図面

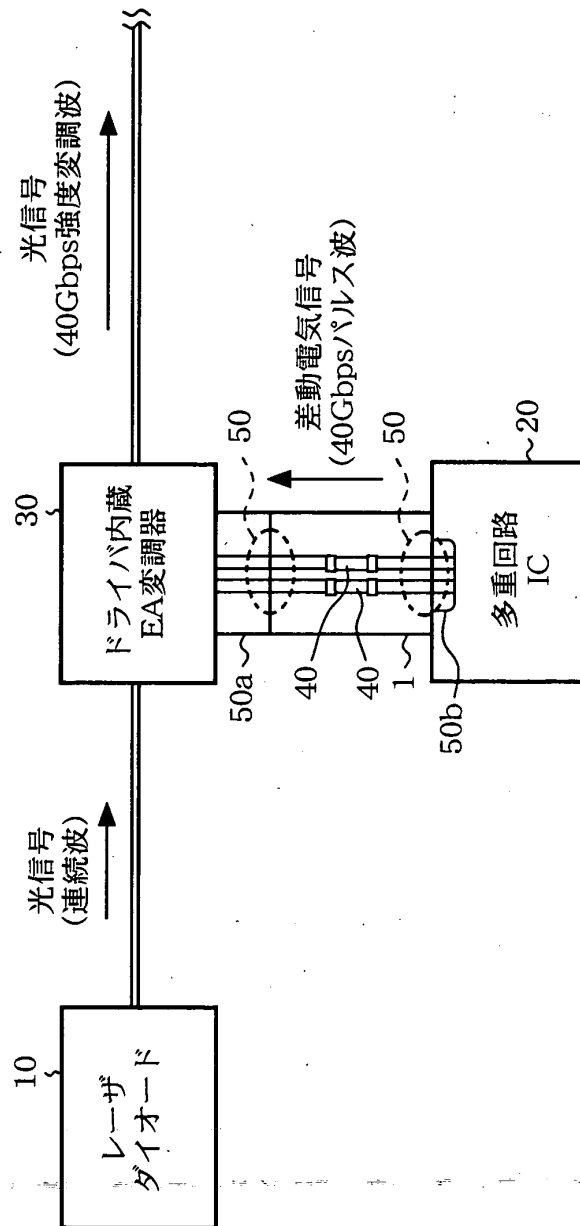
【図1】



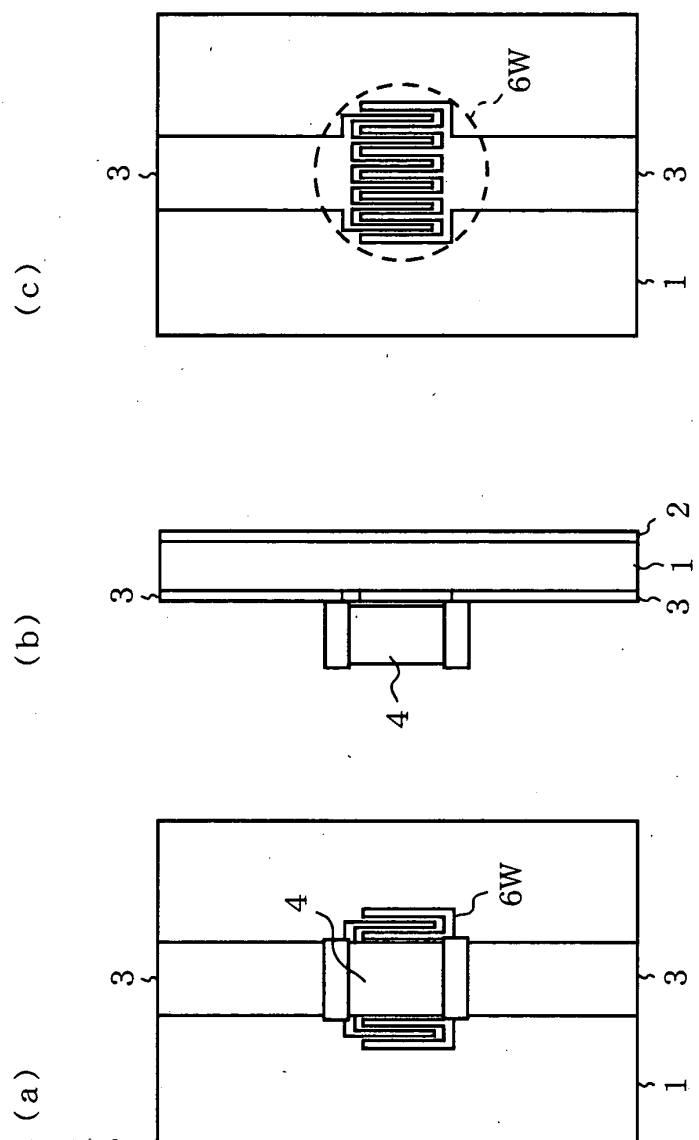
【図 2】



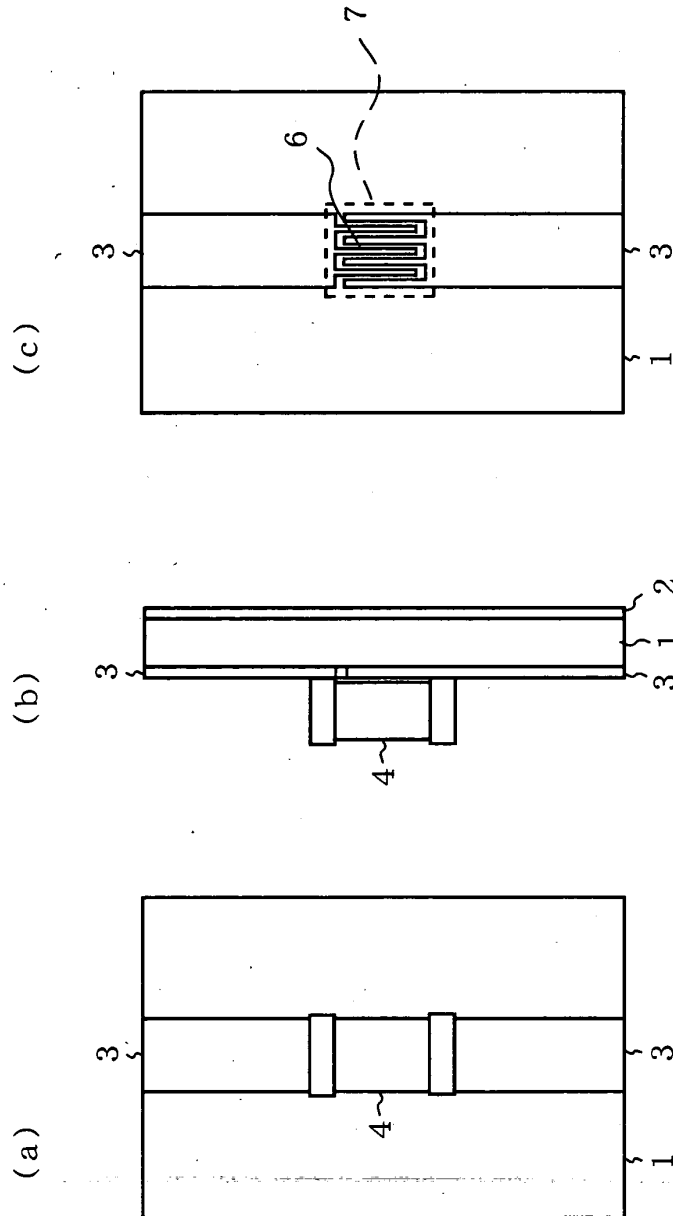
【図 3】



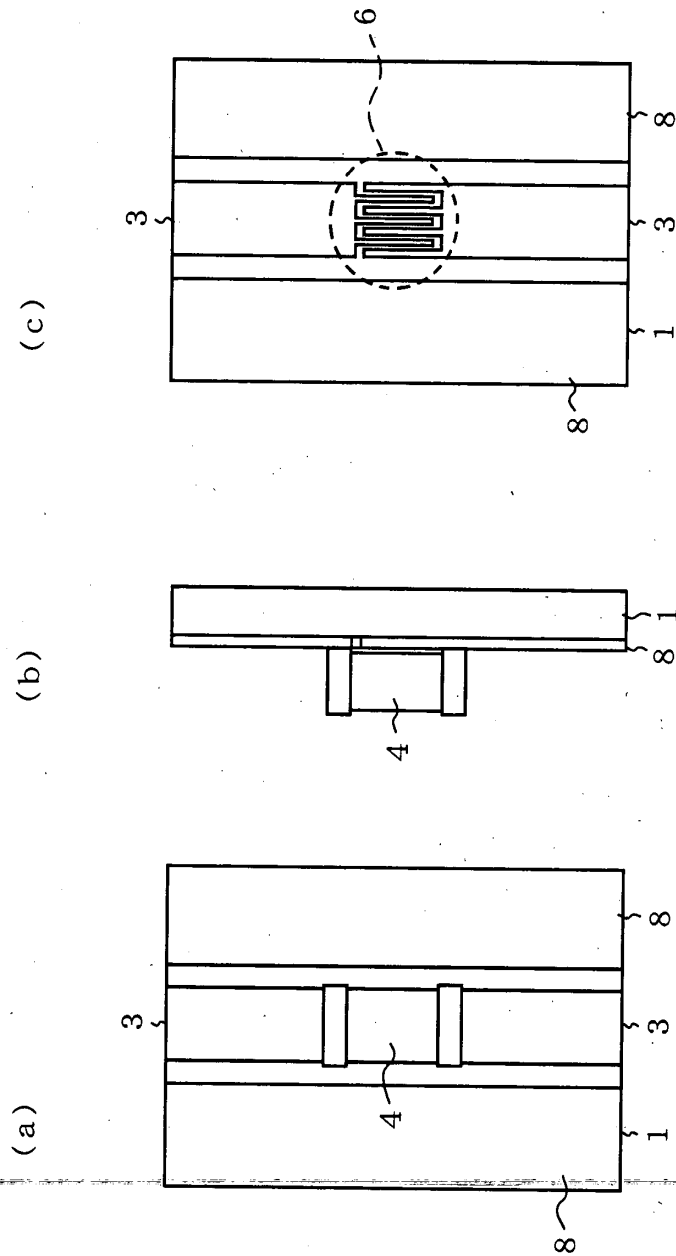
【図4】



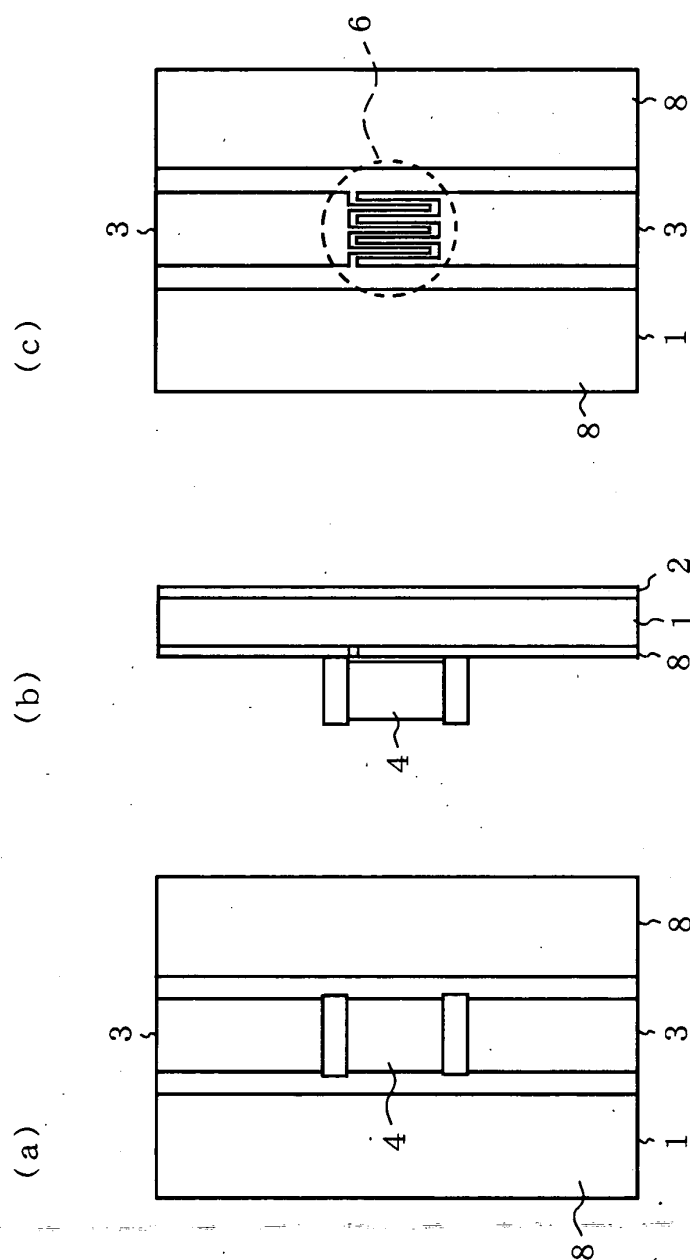
【図5】



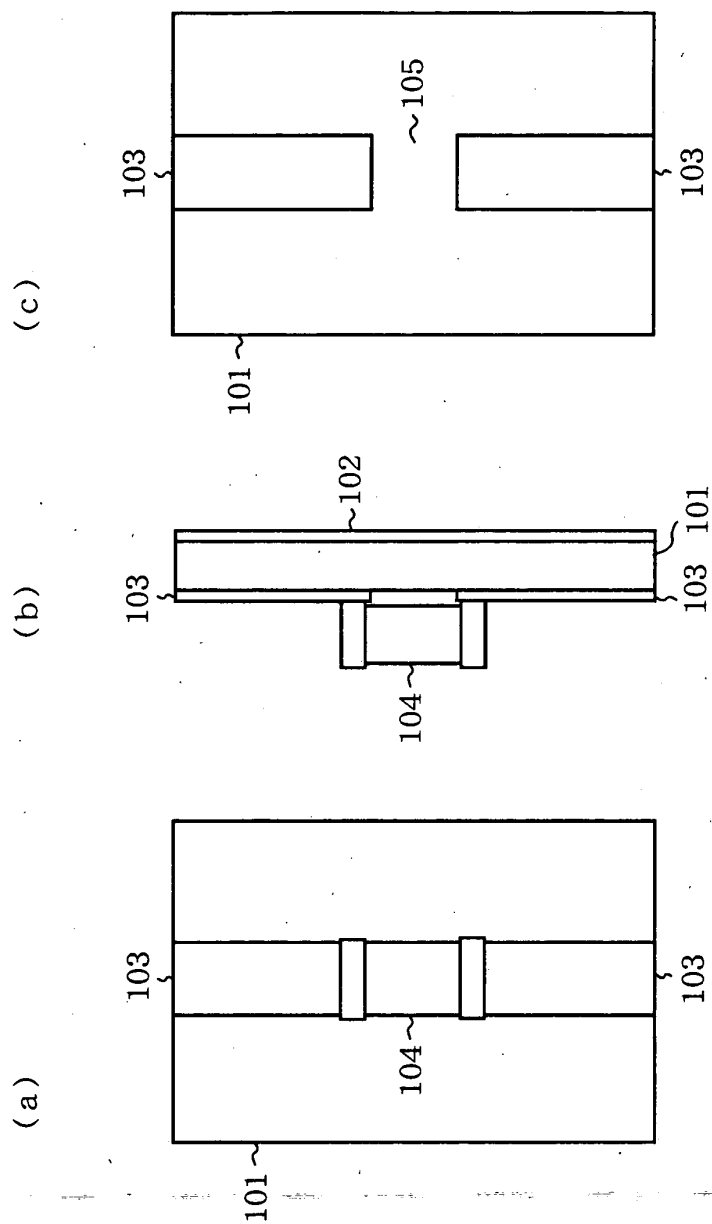
【図6】



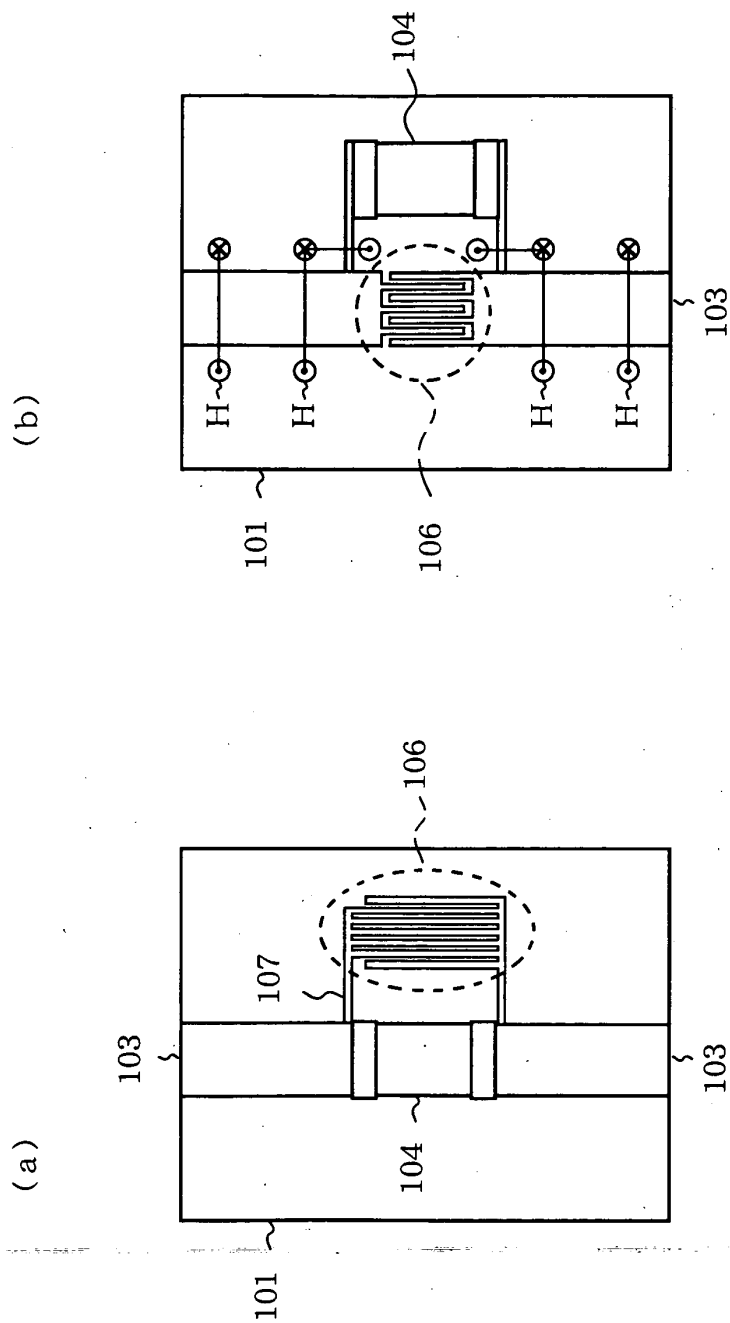
【図7】



【図 8】



【図9】



【書類名】 要約書

【要約】

【課題】 反射特性と通過損失特性とをともに広帯域に渡って良好にすることができないという課題があった。

【解決手段】 誘電体基板1の一方の面に実装され、電気信号を通過する線路3と、線路3上に設けられ、線路3で形成されたインターデジタルキャパシタ6と、インターデジタルキャパシタ6を誘電体基板1とともに挟むように設けられ、インターデジタルキャパシタ6と並列になるように線路3に接続されたチップキャパシタ4とを備えるようにする。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日
[変更理由] 新規登録
住 所 東京都千代田区丸の内2丁目2番3号
氏 名 三菱電機株式会社